

日本国特許庁  
JAPAN PATENT OFFICE

15.12.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年10月20日

出願番号  
Application Number: 特願2003-359896  
[ST. 10/C]: [JP2003-359896]

RECEIVED
06 FEB 2004
WIPO PCT

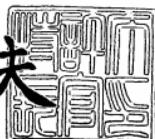
出願人  
Applicant(s): 株式会社GENUSION

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年1月23日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

**【書類名】** 特許願  
**【整理番号】** 20030453  
**【提出日】** 平成15年10月20日  
**【あて先】** 特許庁長官殿  
**【国際特許分類】** H01L 23/48  
**【発明者】**  
**【住所又は居所】** 兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチ・インキュベーションセンター 株式会社GENUSION内  
**【氏名】** 中島 盛義  
**【発明者】**  
**【住所又は居所】** 兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチ・インキュベーションセンター 株式会社GENUSION内  
**【氏名】** 小林 和男  
**【発明者】**  
**【住所又は居所】** 兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチ・インキュベーションセンター 株式会社GENUSION内  
**【氏名】** 味香 夏夫  
**【特許出願人】**  
**【識別番号】** 503291439  
**【氏名又は名称】** 株式会社GENUSION  
**【代理人】**  
**【識別番号】** 100084548  
**【弁理士】**  
**【氏名又は名称】** 小森 久夫  
**【選任した代理人】**  
**【識別番号】** 100123940  
**【弁理士】**  
**【氏名又は名称】** 村上 辰一  
**【手数料の表示】**  
**【予納台帳番号】** 013550  
**【納付金額】** 21,000円  
**【提出物件の目録】**  
**【物件名】** 特許請求の範囲 1  
**【物件名】** 明細書 1  
**【物件名】** 図面 1  
**【物件名】** 要約書 1

## 【書類名】特許請求の範囲

## 【請求項1】

複数の半導体チップを搭載する基板状またはフレーム状の基材と、当該基材に搭載した複数の半導体チップとを備えた半導体装置のパッケージ構造において、

マウントすべき半導体チップの端子を接続する内部端子と、該半導体チップの端子以外の端子を接続する外部端子と、該外部端子と前記内部端子との間を電気的に接続する導体配線とを形成したサブ基板に半導体チップがマウントされてなる半導体チップマウントサブ基板を備え、該半導体チップマウントサブ基板を他の半導体チップとともに前記基材に搭載し、これらの半導体チップマウントサブ基板と他の半導体チップを前記基材とともに樹脂封止したことを特徴とする半導体装置のパッケージ構造。

## 【請求項2】

前記半導体チップマウントサブ基板を、前記基材に搭載した半導体チップ上に搭載した請求項1に記載の半導体装置のパッケージ構造。

## 【請求項3】

前記半導体チップマウントサブ基板を複数備え、それらの半導体チップマウントサブ基板を前記基材上に積層配置した請求項1または2に記載の半導体装置のパッケージ構造。

## 【請求項4】

前記半導体チップマウントサブ基板は、前記サブ基板を挟んで該サブ基板の両面に半導体チップを搭載して成る請求項1、2または3に記載の半導体装置のパッケージ構造。

## 【請求項5】

前記半導体チップマウントサブ基板は、前記サブ基板に複数の半導体チップを積層配置して成る請求項1～4のうちいずれかに記載の半導体装置のパッケージ構造。

## 【請求項6】

前記半導体チップマウントサブ基板は、前記基材に対する前記樹脂封止とは別に前記サブ基板とともに該サブ基板に搭載した半導体チップを樹脂封止して成る請求項1～5のうちいずれかに記載の半導体装置のパッケージ構造。

## 【請求項7】

前記サブ基板は、前記基材に搭載する前の状態で、所定の信頼性試験または動作試験を行なうために試験装置に接続するための端子を備えていて、前記半導体チップマウントサブ基板は前記基材に搭載する前の状態で前記端子を用いて前記所定の信頼性試験または動作試験を行なったものである請求項1～6のうちいずれかに記載の半導体装置のパッケージ構造。

## 【請求項8】

マウントすべき半導体チップの端子を接続する内部端子と、該半導体チップの端子以外の端子を接続する外部端子と、該外部端子と前記内部端子との間を電気的に接続する導体配線とを形成したサブ基板に半導体チップをマウントして半導体チップマウントサブ基板を構成し、該半導体チップマウントサブ基板を基板状またはフレーム状の基材に搭載し、該基材とともに前記半導体チップマウントサブ基板を一括して樹脂封止することを特徴とする半導体装置のパッケージ化方法。

## 【請求項9】

前記基材に搭載する前の状態で、前記サブ基板に試験装置を接続するための端子を設けおき、当該端子に前記試験装置を接続して所定の信頼性試験または動作試験を行い、該信頼性試験または動作試験を行なった後に前記端子を切り離して半導体チップマウントサブ基板を構成し、該半導体チップマウントサブ基板を前記基材に搭載することを特徴とする請求項8に記載の半導体装置のパッケージ化方法。

**【書類名】**明細書

**【発明の名称】**半導体装置のパッケージ構造およびパッケージ化方法

**【技術分野】**

**【0001】**

この発明は、半導体装置のパッケージ構造およびそのパッケージ化方法に関するものである。

**【背景技術】**

**【0002】**

移動体通信システムの端末装置（携帯電話機）などにより半導体装置を用いた電子機器において、その小型軽量化を図る上で半導体装置の高集積化を如何に高めるかは常に重要な課題である。これまで半導体回路の微細化が順調に進んでいたときには可能な限りの回路を1チップ化して、実装面積の縮小化、高速化、消費電力の低減化というメリットを生かしてきた。ところが、半導体回路の微細化に伴う製造コストの急騰と設計開発期間の長期化という問題が顕在化してきた。

**【0003】**

そこで、複数の半導体チップを3次元実装するSIP(System in Package)技術が注目されている。例えば図9に示すように、パッケージ基板10の上に半導体チップ30をマウントし、この半導体チップ30の上にさらに別の半導体チップ40をマウントし、これらの半導体チップ30、40とパッケージ基板10との間をワイヤWでワイヤボンディングしている（非特許文献1参照）。

**【非特許文献1】**日経エレクトロニクス2002.2-11 no.815 p108 「第1部 チップがダメならパッケージがある」

**【発明の開示】**

**【発明が解決しようとする課題】**

**【0004】**

従来のSIPでは、異なったプロセスによる半導体チップを单一のパッケージに収めることができ、実装基板に対する実装面積の縮小化が図れる。このように複数の半導体チップを1つのパッケージ内に収めて半導体装置を構成する場合、良品率を如何に高めるかが課題となる。すなわち、各半導体チップはウエハ状態でウエハプロープテストを行い、良品と見なされた半導体チップのみをパッケージ基板などに搭載することになる。

**【0005】**

ところが、複数の半導体チップを組み合わせるアセンブルメーカー側では、例えば異なる半導体チップの端子（電極）間をワイヤボンディングしてSIPを構成する場合に、両半導体チップの端子の形成位置、端子ピッチ、信号線の順番などを予め固定的に設計しなければならず、設計上の自由度が低下してしまい、開発期間を短縮化できる筈のSIPの特質がうまく活かせないといった問題があった。

**【0006】**

また、半導体チップを供給するメーカー側では、ウエハ状態で半導体チップのすべての動作試験は行うことができず、例えば、高温連続動作試験(Burn-in)によるスクリーニング等の信頼性試験を完全に行なうことはできなかった。そのため、ウエハから切り出した後の半導体チップを個別に良否判定し、その結果、KGD(Known-Good-Die:検査済み良品チップ)を保証する半導体チップが得られる。ところが、ウエハから切り出したままの半導体チップ（ペアチップ）の状態でこのような判定を行うためには、各半導体チップの端子（電極）に対して電気的に接続するための装置や専用の試験装置が個々に必要となり、そのためコストが嵩むといった問題があった。

**【0007】**

そこで、この発明の目的は、複数の半導体チップと組み合わせる際に、各半導体チップの外部接続用端子の位置、ピッチ、信号配列などを制約することなく半導体チップ間の電気的接続を容易に行えるようにして、上述の問題を解消した半導体装置のパッケージ構造およびパッケージ化方法を提供することにある。

## 【0008】

また、この発明の別の目的は、半導体チップを供給するメーカー側では、SIPを構成する半導体チップのKGD (Known-Good-Die) を容易に保証できるようにし、SIPを製造するアセンブルメーカー側では、KGDの半導体チップを用いて高い良品率の下でSIPを製造できるようにした半導体装置のパッケージ構造およびパッケージ化方法を提供することにある。

## 【課題を解決するための手段】

## 【0009】

この発明は、複数の半導体チップを搭載する基板状またはフレーム状の基材と、当該基材に搭載した複数の半導体チップとを備えた半導体装置のパッケージ構造において、

マウントすべき半導体チップの端子を接続する内部端子と、該半導体チップの端子以外の端子を接続する外部端子と、該外部端子と前記内部端子との間を電気的に接続する導体配線とを形成したサブ基板に半導体チップがマウントされてなる半導体チップマウントサブ基板を備え、該半導体チップマウントサブ基板を他の半導体チップとともに前記基材に搭載し、これらの半導体チップマウントサブ基板と他の半導体チップを前記基材とともに樹脂封止したことを特徴としている。

## 【0010】

また、この発明は、前記半導体チップマウントサブ基板を、前記基材に搭載した半導体チップ上に搭載したことを特徴としている。

## 【0011】

また、この発明は、前記半導体チップマウントサブ基板を複数備え、それらの半導体チップマウントサブ基板を前記基材上に積層配置したことを特徴としている。

## 【0012】

また、この発明は、前記半導体チップマウントサブ基板を、前記サブ基板を挟んで該サブ基板の両面に半導体チップを搭載して構成したことを特徴としている。

## 【0013】

また、この発明は、前記半導体チップマウントサブ基板を、前記サブ基板に複数の半導体チップを積層配置して構成したことを特徴としている。

## 【0014】

また、この発明は、前記半導体チップマウントサブ基板を、前記基材に対する前記樹脂封止とは別に前記サブ基板とともに該サブ基板に搭載した半導体チップを樹脂封止して構成したことを特徴としている。

## 【0015】

また、この発明は、前記サブ基板を、前記基材に搭載する前の状態で、所定の信頼性試験または動作試験を行うために試験装置に接続するための端子を備えていて、前記半導体チップマウントサブ基板は前記基材に搭載する前の状態で前記端子を用いて前記所定の信頼性試験または動作試験を行った後に前記端子を切り離したものとしたことを特徴としている。

## 【発明の効果】

## 【0016】

この発明によれば、マウントすべき半導体チップの端子を接続する内部端子と、該半導体チップの端子以外の端子を接続する外部端子と、該外部端子と前記内部端子との間を電気的に接続する導体配線とを形成したサブ基板に半導体チップがマウントされてなる半導体チップマウントサブ基板を備え、該半導体チップマウント基板を他の半導体チップとともに前記基材に搭載するようにしたので、この半導体チップマウントサブ基板を従来の例えればSIPを構成する複数の半導体チップのうちの一つの半導体チップとして用いることができる。その際、半導体チップはサブ基板にマウントされた状態であるので、半導体チップマウントサブ基板の状態で信頼性試験や動作試験を行うことができ、KGDを保証した半導体チップと同様の素子としてこの半導体チップマウントサブ基板を扱うことができ。また、半導体チップ間の電気的接続を行う場合に、下部の半導体チップの端子と上部

の半導体チップマウントサブ基板の端子との間を接続することになるので、個々の半導体チップの端子は個別に設計できる。または、既に設計製造された半導体チップをそのまま用いることができる。その結果、低コスト化が図れる。

#### 【0017】

また、この発明によれば、半導体チップマウントサブ基板を基材上の半導体チップ上に搭載したことにより全体の薄型化が図れる。

#### 【0018】

また、この発明によれば、半導体チップマウントサブ基板を複数備え、それらの半導体チップマウントサブ基板を基材上に積層配置したことにより、より多くの半導体チップの積層配置構造を容易に構成できる。

#### 【0019】

また、この発明によれば、半導体チップマウントサブ基板の両面に半導体チップを搭載したことにより、基材に対する半導体チップマウントサブ基板の搭載面積を大きくすることなく、多くの半導体チップをパッケージ化できる。

#### 【0020】

また、この発明によれば、半導体チップマウントサブ基板をサブ基板に複数の半導体チップを積層配置して構成したことにより、基材に対する半導体チップマウントサブ基板の搭載面積を大きくすることなく、より多くの半導体チップを単一のパッケージ内にパッケージ化できる。

#### 【0021】

また、この発明によれば、半導体チップマウントサブ基板を、基材に対する樹脂封止とは別に、サブ基板とともに該サブ基板に搭載した半導体チップを樹脂封止したことにより、半導体チップマウントサブ基板の状態でハンドリングが容易になり、半導体チップマウントサブ基板の信頼性も容易に確保できる。

#### 【0022】

また、この発明によれば、基材に搭載する前のサブ基板の状態で、所定の信頼性試験または動作試験を行つるために試験装置に接続するための端子を備えていて、半導体チップマウントサブ基板が、それを基材に搭載する前の状態で端子を用いて所定の信頼性試験または動作試験を行つた後に端子を切り離したものとしたことにより、KGDを保証した半導体チップと同様の素子としてこの半導体チップマウントサブ基板を扱うことができる。

#### 【発明を実施するための最良の形態】

#### 【0023】

第1の実施形態である半導体装置のパッケージ構造およびそのパッケージ化方法について、図1・図2を基に説明する。

図1は半導体装置の平面図、図2はその主要部の断面図である。図1・図2においてパッケージ基板10の上面には半導体チップ30をダイボンディングしている。半導体チップ50はサブ基板20にマウントしている。このサブ基板20と半導体チップ50とで半導体チップマウントサブ基板60を構成している。この半導体チップマウントサブ基板60はその下面（サブ基板20の下面）を半導体チップ30に接着することによって搭載している。またこれとは別に、半導体チップ40を半導体チップ30の上に搭載している。

#### 【0024】

パッケージ基板10の上面には複数の端子11, 11'を配列形成している。またパッケージ基板10の下面には複数の半田ボール12を配列形成している。このパッケージ基板10の上面の端子11, 11'と下面の半田ボール12との間はパッケージ基板10内部の配線層を介して電気的に導通させている。

#### 【0025】

半導体チップ30の上面の周囲に配列した端子とパッケージ基板10の上面に配列した端子11との間はワイヤW31によりワイヤボンディングしている。半導体チップ50の上面には端子51を形成している。またサブ基板20の上面には、この発明に係る「内部端子」に相当する端子21を形成していて、両者の間をワイヤW52でワイヤボンディング

グしている。

### 【0026】

またサブ基板20の上面には、この発明に係る「外部端子」に相当する端子22を形成している。これらの端子22と端子21との間はサブ基板20内部の配線層を介して電気的に導通させている。サブ基板20の端子22とパッケージ基板10の端子11'との間はワイヤW21でワイヤボンディングしている。このようにサブ基板20で端子の位置を変換することによって、半導体チップの外部接続用端子（パッド）の位置、ピッチ、信号配列などを変更することなく、既に存在する半導体チップをそのまま用いて電気的接続を容易に行えるようになる。

### 【0027】

また、このようにして半導体チップマウントサブ基板60をKGDの半導体チップのように扱って、他の半導体チップと共にパッケージ基板上に搭載することができる。

### 【0028】

なお、この例では、半導体チップ40は半導体チップ30とともにSIPとして用いるように既に設計されているのでサブ基板を用いていない。この半導体チップ40の上面の端子41と半導体チップ30の上面に形成した端子31との間はワイヤW43でワイヤボンディングしている。さらに、半導体チップ40の所定の端子41'とパッケージ基板上の端子11'との間はワイヤW41でワイヤボンディングしている。

### 【0029】

図1に示した例では、パッケージ基板10上部の樹脂封止を行う前の状態を示している。図2に示したように、パッケージ基板10の上面には半導体チップ30、40、半導体チップマウントサブ基板60およびそれらの間を接続するワイヤの全体を封止樹脂13で樹脂封止している。

### 【0030】

ここで、半導体チップ30は他の半導体チップであり、そのサイズは例えば8.5mm×8.5mmである。半導体チップ40は他の半導体チップである。サブ基板20上の半導体チップ50は例えば32M×32ビットのDRAMであり、そのサイズは例えば3.0mm×5.7mmである。この半導体チップ50は、その短辺に端子51を配列しているので、サブ基板20の半導体チップ50の短辺に沿った位置に端子21を配列している。このことによりワイヤW52のワイヤ長が短くてすむようにしている。またパッケージ基板10上の端子11'寄りで半導体チップ50の一方の長辺に沿ったサブ基板20上の所定位置に端子22を配列形成している。そして、このサブ基板20をパッケージ基板10上の端子11'寄りに配置することによって、ワイヤW21のワイヤ長を短くてすむようにしている。

### 【0031】

図3は第2の実施形態に係る半導体装置の平面図である。図1に示した例と異なるのは半導体チップマウントサブ基板60の構造である。この図3に示す例では、サブ基板20の上に2つの半導体チップ50a、50bをマウントしている。これらはそれぞれ16M×16ビットのDRAMであり、半導体チップの中央に端子51をそれぞれ形成している。このように複数の半導体チップを用いる場合でも、それらを単一のサブ基板20上にマウントすることにより、この半導体チップマウントサブ基板60を32M×16ビットまたは16M×32ビットのDRAMであるかのように扱うことができる。

### 【0032】

また、端子がチップの中央に配列されている半導体チップを用いる場合でも、サブ基板20上で各半導体チップの端子に最も近接する位置に端子21を配置することにより、各半導体チップ50a、50bの端子51とサブ基板20上の端子21との間のワイヤW52のワイヤ長が短くてすむようにしている。

### 【0033】

図4は第3の実施形態に係る半導体装置の主要部の断面図である。サブ基板20の上面に2つの導体チップ50a、50bをマウントし、ワイヤボンディングすることによって

半導体チップマウントサブ基板60を構成している。サブ基板20には、半導体チップ50a～50b間の電気的接続を行う配線を設けている。パッケージ基板10の上部には半導体チップ30をボンディングしていて、この半導体チップ30の上面に半導体チップマウントサブ基板60を搭載している。また、他の半導体チップ40も搭載している。

#### 【0034】

図1～図3に示した例と異なり、この例ではサブ基板20上部の半導体チップ50a, 50bの周囲を封止樹脂23で樹脂封止している。このように半導体チップマウントサブ基板60の状態で半導体チップを樹脂封止した状態とすることにより、半導体チップマウントサブ基板60を半導体チップ30に接着する際のハンドリングが容易となる。また、半導体チップ50a, 50b周囲の環境を清浄に保ったまま半導体チップマウントサブ基板60の状態で工程間を搬送することが容易となる。なお、上記封止樹脂23は最終的にパッケージ基板10上部の封止樹脂13によって覆われ、半導体装置の外部には露出しないので、封止樹脂13のような機械的強度を必要とせず、簡易な方法で樹脂封止すればよい。例えばトランシスファーモールド法などによらずに液状樹脂をポッシングする方法によって樹脂封止する。

#### 【0035】

なお、図4に示した例では、半導体チップマウントサブ基板60のサブ基板20の上面に設けた端子と半導体チップ30の上面に設けた端子との間をワイヤW23でワイヤボンディングしている。このようにして、パッケージ基板10を介さずに半導体チップマウントサブ基板60の半導体チップとは別の半導体チップとの間の電気的接続をとることも可能である。

#### 【0036】

図5は第4の実施形態に係る半導体装置の主要部の断面図である。第1～第4の実施形態ではパッケージ基板を基材としてパッケージ化したが、この図5に示す例では、リードフレーム9を基材として用い、複数の半導体チップをパッケージ化している。リードフレーム9の中央部には、半導体チップ30をダイボンディングしている。この半導体チップ30の上部には半導体50とサブ基板20による半導体チップマウントサブ基板60と、単体の半導体チップ40とをそれぞれ搭載している。そして、半導体チップ30とリードフレーム9のインナーリード部分との間をワイヤW39でワイヤボンディングしている。半導体チップ40とリードフレーム9のインナーリードとの間はワイヤW49でワイヤボンディングしている。サブ基板20の端子とリードフレーム9のインナーリードとの間はワイヤW29でワイヤボンディングしている。これらの複数の半導体チップ部分およびワイヤ部分は封止樹脂13で樹脂封止している。このようにして、リードフレーム9のアウターリードが封止樹脂13の外部に突出したリード端子付き半導体装置が構成できる。

#### 【0037】

図6は第5の実施形態に係る半導体装置のパッケージ構造およびパッケージ化方法について示している。これらはいずれも主要部の断面図である。(A)の例ではサブ基板20の両面に半導体チップ50をそれぞれフリップチップボンディングしている。そしてこれらの半導体チップ50の周囲を封止樹脂23で樹脂封止して、半導体チップマウントサブ基板60を構成している。パッケージ基板10の上面には半導体チップ30をフリップチップボンディングしている。この半導体チップ30の上部に半導体チップマウントサブ基板60を接着し、サブ基板20の上面に形成した端子とパッケージ基板10の上面にした端子との間をワイヤW21でワイヤボンディングしている。パッケージ基板10の下面には半田ボール12を配列形成している。パッケージ基板10の上部には半導体チップ30と半導体チップマウントサブ基板60を含む全体を封止樹脂13で樹脂封止している。なお、この図6では封止樹脂13の外形のみ表している。

#### 【0038】

図6の(B)の例では、サブ基板20に2つの半導体チップ50を積層配置している。この例では半導体チップ50とサブ基板20との間をワイヤボンディングしている。そしてこれらの半導体チップ50の周囲を封止樹脂23で樹脂封止している。パッケージ基板

10の上面には半導体チップ30をフリップチップボンディングしていく、この半導体チップ30の上部に半導体チップマウントサブ基板60を接着し、サブ基板20とパッケージ基板10との間をワイヤW21でワイヤボンディングしている。その他の構成は(A)の場合と同様である。なお、サブ基板20に対して半導体チップ50をフリップチップボンディングしてもよい。また半導体チップ上に別の半導体チップをフリップチップボンディングするようにしてもよい。

#### 【0039】

図6の(C)の例では、サブ基板20aに半導体チップ50aをフリップチップボンディングしてなる第1の半導体チップマウントサブ基板60aと、サブ基板20bに半導体チップ50bをフリップチップボンディングしてなる半導体チップマウントサブ基板60bとを備えている。また、パッケージ基板10の上面には半導体チップ30をフリップチップボンディングしている。

#### 【0040】

この半導体装置を製造する場合、まずパッケージ基板10に半導体チップ30をフリップチップボンディングし、半導体チップ30の上面に第1の半導体チップマウントサブ基板60aを接着し、そのサブ基板20a上面とパッケージ基板10のそれぞれの端子間にワイヤW21aでワイヤボンディングする。続いて半導体チップマウントサブ基板60aの上面(半導体チップ50aの上面)に接着シート70を置いて第2の半導体チップマウントサブ基板60bを第1の半導体チップマウントサブ基板60aに接着固定する。この接着シート70は第2の半導体チップサブ基板60bのサブ基板20bの下面側に予め設けておいてよい。この状態で、サブ基板20b上面の端子とパッケージ基板10上面の端子との間をワイヤW21bでワイヤボンディングする。その後、パッケージ基板10の上部を封止樹脂13で樹脂封止する。このように複数の半導体チップマウントサブ基板60を積層配置することによって、実装基板への実装時の占有面積を増すことなく、多数の半導体チップを備えた半導体装置を構成することができる。

#### 【0041】

図6の(D)に示す例では、2つの半導体チップマウントサブ基板60a、60bをパッケージ基板10に対して水平方向に配置している。これらの半導体チップマウントサブ基板60a、60bは、サブ基板20a、20bの上面に半導体チップ50a、50bをそれぞれフリップチップボンディングして構成している。パッケージ基板10の上面には半導体チップ9a、9bをそれぞれフリップチップボンディングしている。これらの半導体9a、9bの上面に、半導体チップマウントサブ基板60a、60bを接着している。そして、それらのサブ基板20a、20bの上面の端子とパッケージ基板10の端子との間をワイヤW21でワイヤボンディングしている。その他の構成は(A)～(C)と同様である。このように複数の半導体チップマウントサブ基板60を水平配置したことにより、厚みを増すことなく、多くの半導体チップをパッケージ内に備えた半導体装置が得られる。

#### 【0042】

以上に示した例では、いずれもサブ基板20とパッケージ基板10との間をワイヤで接続したが、サブ基板の周囲に外部端子を配列しておき、それらの外部端子をパッケージ基板上の端子に圧接により電気的且つ機械的に接合させるようにしてもよい。また、サブ基板の接合面(パッケージ基板等に対向する面)に外部端子として半田バンプを形成しておき、パッケージ基板上の端子やパッケージ基板に搭載した半導体チップ上の端子に、上記半田バンプを接合するようにしてもよい。

#### 【0043】

次に、半導体チップマウントサブ基板をKGD化するための方法について、図7・図8を参照して説明する。

図7の(B)は複数の半導体チップマウントサブ基板の信頼性試験および動作試験を行う状態である「切り離し前サブ基板」200を示している。(A)はその切り離し前サブ基板200のうち1つの単位であるテスト時サブ基板単位20'を拡大図示している。テ

スト時サブ基板単位20'には半導体チップ50をマウントしていく、この半導体チップ50の端子51とサブ基板側の端子21との間をワイヤW52でワイヤボンディングしている。サブ基板には端子21の配列ピッチより大きなピッチで試験用端子25を形成していて、この試験用端子25と端子21との間をそれぞれ配線24で結んでいる。図中2点に半導体チップマウントサブ基板として用いる。

## 【0044】

図7の(B)に示した切り離し前サブ基板200の状態で、各試験用端子25に対して試験装置を接続し、各種の信頼性試験および動作試験を行う。例えば前述した高温連続動作試験(Burn-in)などのスクリーニングを行う。そして、半導体チップ50およびサブ基板20による良品の半導体チップマウントサブ基板を選別する。

## 【0045】

なお、上記サブ基板の領域20を切り離した後、端子21から試験用端子25へ延びる配線24の一部(図中Pで示す配線24部分)がサブ基板20に残ることになる。ただ、第1～第5の各実施形態で参照した各図では、このサブ基板20に残る上記配線部分は図面の明瞭化のために図示していない。

## 【0046】

図8は上記サブ基板のテストを含む半導体装置全体の組立工程を示すフローチャートである。まずサブ基板については、サブ基板にマウントする半導体チップのウエハ状態でテストを行う。(S11)。その後、ウエハの裏面を研磨して所定厚みまで薄くし(S12)、ウエハダイシングによって個別の半導体チップ50に分離する(S13)。これらの半導体チップのうち良品と見なされた半導体チップ50をサブ基板20へマウントする(S14)。続いて必要に応じて半導体チップ部分を樹脂封止する(S15)。その後、上述の信頼性試験および動作試験を行い、それぞれの半導体チップについて良否判定を行う(S16)。しかる後、各サブ基板20領域の切り離しを行う(S17)。

## 【0047】

一方、本体部分について、まずパッケージ基板10にマウントする半導体チップのウエハ状態でのテストを行う(S21)。その後、ウエハ研磨、ウエハダイシングを行い(S22→S23)、各半導体チップ30をパッケージ基板10に搭載する(S24)。その後、上述のKGDである半導体チップマウントサブ基板60を搭載する(S25)。統一してパッケージ基板10の上部を樹脂封止し、個別のパッケージ基板に切り離す(S26)。そして各半導体装置について、上述のサブ基板に対して行ったものと同様の各種信頼性試験および動作試験を行う(S27)。このようにして良品の半導体装置を得る。上記S26を行なう代わりに、パッケージ基板の切り離し前に複数の半導体装置について試験を行い、その後に樹脂封止し、パッケージ基板として切り離してもよい(S26')。

## 【0048】

なお、実施例では半導体チップ-半導体チップ間、パッケージ基板-サブ基板間、半導体チップ-パッケージ基板間、半導体チップ-サブ基板間の各部の接続を、ワイヤボンディングやフリップチップ接続で行なう旨説明したが、これらの各部の一部または全部の接続を、フレキシブルなシート上に配線を施した配線シート等を用いて接続するように構成してもよい。すなわち、両端を端子とする複数の配線を配線シートに形成しておき、それらの端子を接続すべき相手側の端子に接続するようにしてもよい。例えばサブ基板とパッケージ基板間を接続する場合、配線シートの一方の端子をサブ基板の端子に接続し、配線シートの他方の端子をパッケージ基板の端子に接続すればよい。

## 【図面の簡単な説明】

## 【0049】

【図1】第1の実施形態に係る半導体装置のパッケージ構造を示す平面図

【図2】同半導体装置の主要部の断面図

【図3】第2の実施形態に係る半導体装置の構造を示す平面図

【図4】第3の実施形態に係る半導体装置の構造を示す断面図

【図5】第4の実施形態に係る半導体装置の構造を示す断面図

【図6】第5の実施形態に係る4つの半導体装置の構造を示す断面図

【図7】第6の実施形態に係る半導体装置に用いる半導体チップマウントサブ基板の試験方法を示す図

【図8】同半導体装置のサブ基板のテストを含む半導体装置全体の組立工程を示すフローチャート

【図9】従来の半導体装置の構成を示す断面図

【符号の説明】

【0050】

9—リードフレーム

10—パッケージ基板

11—端子

12—半田ボール

13—封止樹脂

20—サブ基板

20'—テスト時サブ基板単位

21, 22—端子

23—封止樹脂

24—配線

25—試験用端子

30, 40, 50—半導体チップ

31, 41, 51—端子

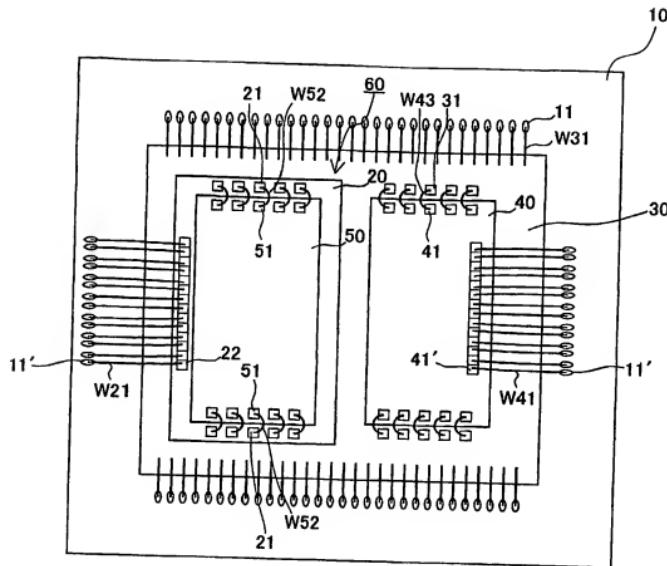
60—半導体チップマウントサブ基板

70—接着シート

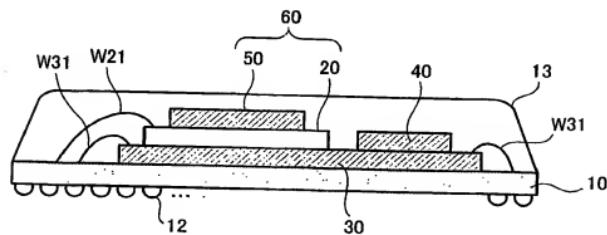
200—切り離し前サブ基板

W—ワイヤ

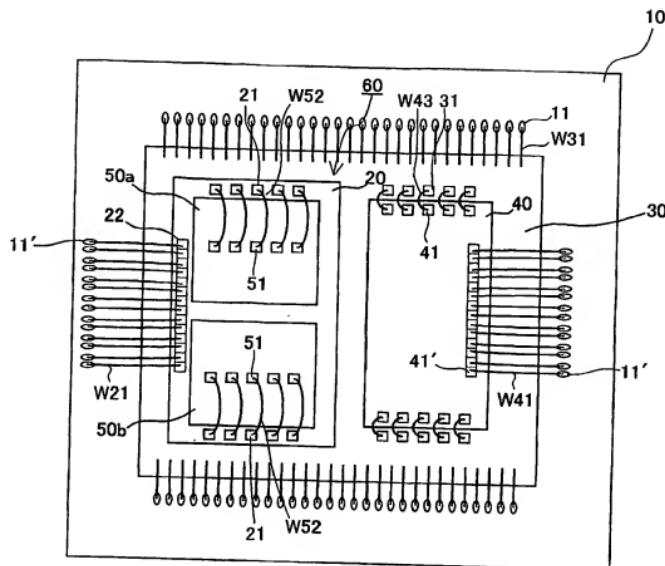
【書類名】 図面  
【図 1】



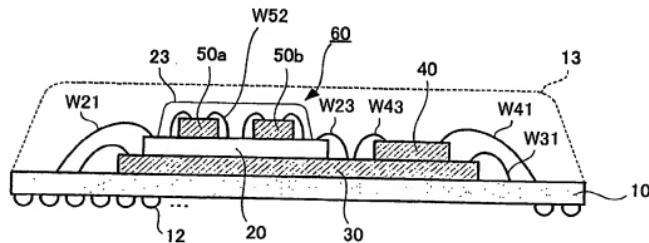
【図 2】



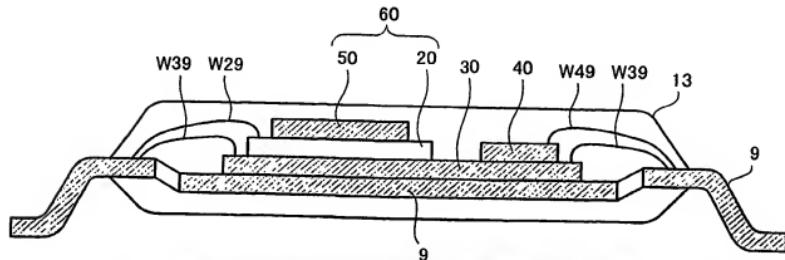
【図 3】



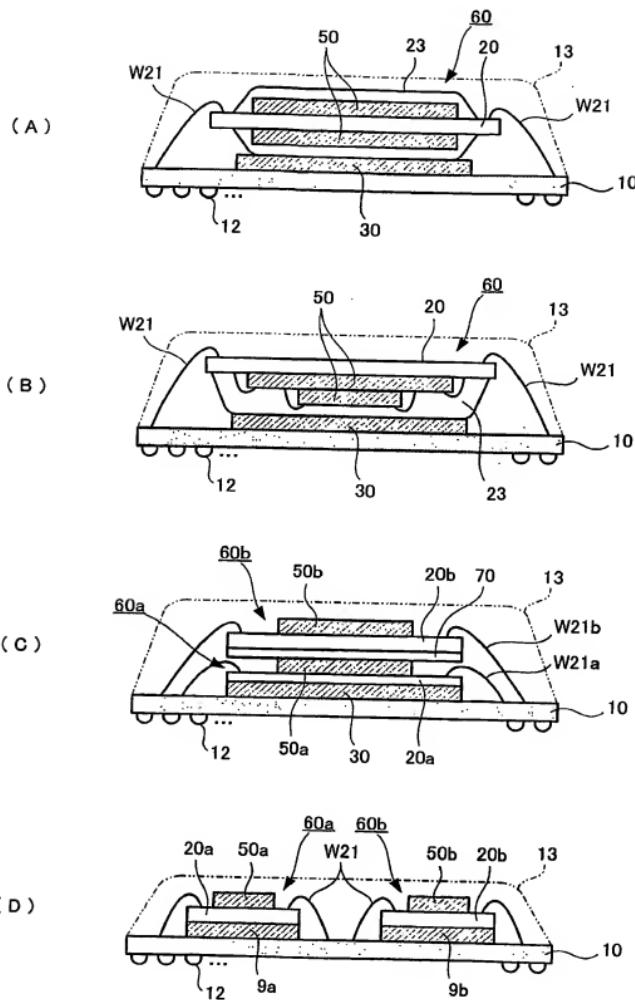
【図 4】



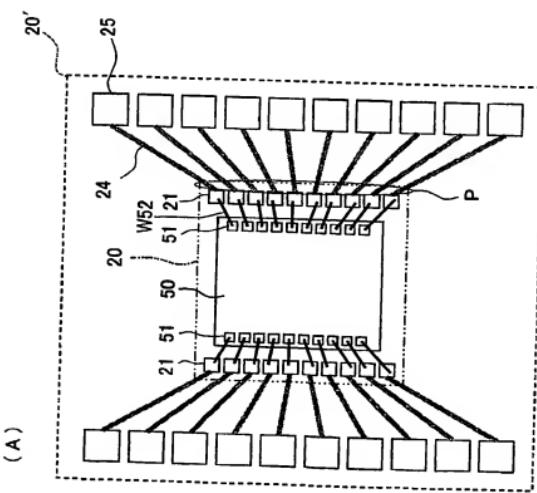
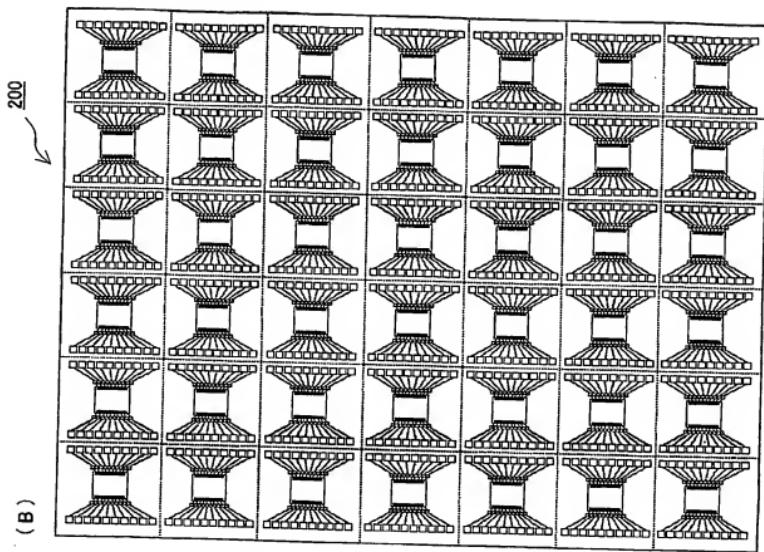
【図 5】



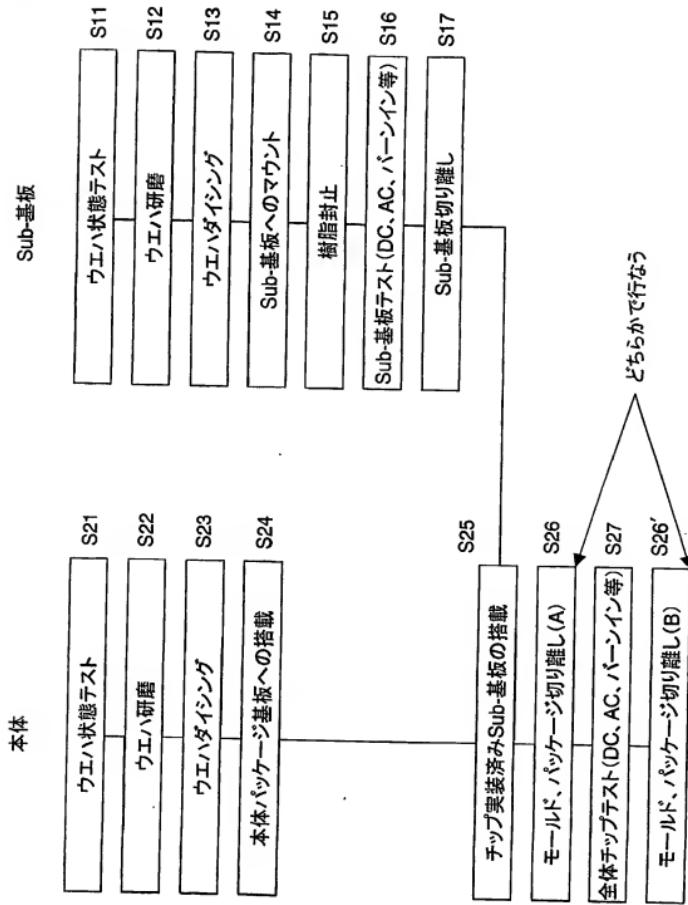
【図 6】



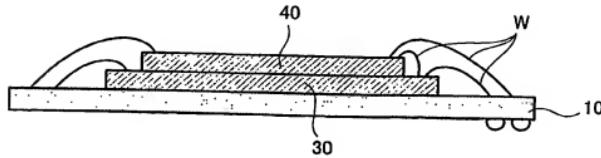
【図 7】



【図 8】



【図 9】



## 【書類名】要約書

## 【要約】

【課題】 複数の半導体チップを組み込んで1つのパッケージ化された半導体装置を構成する際に、各半導体チップのKGD (Known-Good-Die) を容易に保証できるようにし、高い良品率の下で半導体装置を製造可能とする。また、各半導体チップの端子の位置、ピッチ、信号配列などを制約することなくそのまま利用可能とする。

【解決手段】 半導体チップ50の端子51を接続する端子21とそれとは別の端子22を形成したサブ基板20の上面に半導体チップ50とサブ基板20との間をワイヤボンディングして半導体チップマウントサブ基板60を構成する。パッケージ基板10の上面には半導体チップ30をマウントし、半導体チップマウントサブ基板60を半導体チップ30の上部に接着し、端子22と端子11'との間をワイヤボンディングする。

【選択図】 図1

特願 2003-359896

## 出願人履歴情報

識別番号

[503291439]

1. 変更年月日

2003年 8月12日

[変更理由]

新規登録

住 所

兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチ・インキュ

氏 名

ベーションセンター

株式会社GENUSION

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**